

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-228615

(P2000-228615A)

(43) 公開日 平成12年8月15日 (2000.8.15)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 3 H 7/01

H 0 3 H 7/01

A 5 E 0 7 0

H 0 1 F 27/00

7/075

A 5 E 0 8 2

H 0 1 G 4/40

H 0 1 F 15/00

D 5 J 0 2 4

H 0 3 H 7/075

H 0 1 G 4/40

3 2 1 A

審査請求 未請求 請求項の数7 OL (全7頁)

(21) 出願番号

特願平11-29094

(71) 出願人 00013/257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(22) 出願日

平成11年2月5日 (1999.2.5)

(72) 発明者 菅原 英州

宮城県仙台市太白区郡山6丁目7番1号

株式会社トーキン内

(72) 発明者 李 衛東

宮城県仙台市太白区郡山6丁目7番1号

株式会社トーキン内

(74) 代理人 10007/1272

弁理士 後藤 祥介 (外2名)

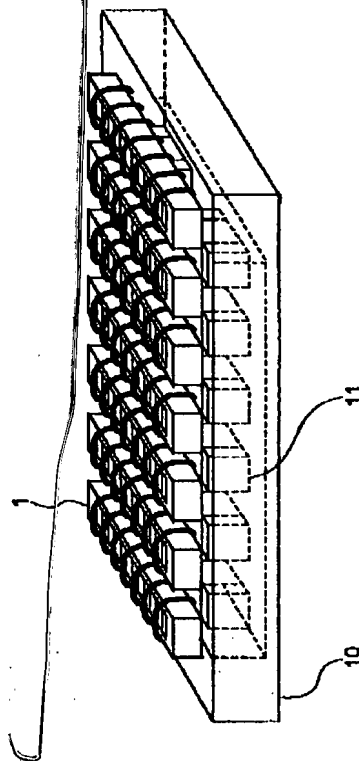
最終頁に続く

(54) 【発明の名称】 LCバンドパスフィルタ

(57) 【要約】

【課題】 通過帯域の挿入損失を悪化させずに、磁心を挿入するコイルのQ値を大きくでき、低コスト化が図れるLCバンドパスフィルタを提供することである。

【解決手段】 ガラス基板3上に薄膜磁心2を形成し、それを細かく切り離し、導体巻き線4を施してなる薄膜巻き線インダクタをガラスセラミックス多層基板に電極を介して接合する。



【特許請求の範囲】

【請求項1】 基板上に薄膜磁心を形成し、それを細かく切り離し、導体巻き線を施してなる薄膜巻き線インダクタを有することを特徴とするLCバンドパスフィルタ。

【請求項2】 磁心に用いた薄膜磁性体とその磁心が成膜された基板に導体巻き線を施して、空心コイルの直径を大きくしてなる薄膜巻き線インダクタを有することを特徴とするLCバンドパスフィルタ。

【請求項3】 前記基板はガラスセラミックス基板であることを特徴とする請求項1又は2記載のLCバンドパスフィルタ。

【請求項4】 前記導体巻き線は、導体直径の1から2本程度位の間隔を開いて離して前記基板に施されていることを特徴とする請求項1又は2記載のLCバンドパスフィルタ。

【請求項5】 前記薄膜巻き線インダクタのQ値が50以上となるようにコイルの断面積と前記薄膜磁心の断面積の比を5倍から500倍とすることを特徴とする請求項1乃至4のいずれか一つに記載のLCバンドパスフィルタ。

【請求項6】 前記LCバンドパスフィルタの動作周波数帯域が10MHzから500MHzであることを特徴とする請求項5記載のLCバンドパスフィルタ。

【請求項7】 インダクタンス値の精度向上と値微調整のため、あらかじめ前記薄膜巻き線インダクタを200～300℃で数分間熱を加えて安定化处理した後、磁性層をレーザービーム等で削除することによりインダクタンス値の数%減少のトリミング処理を行い、バンドパス特性の微調整を行うことを特徴とする請求項1又は2記載のLCバンドパスフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜磁性体を用いた巻き線薄膜インダクタ、及びチップキャパシタを用いたLC磁気デバイス、特にLCバンドパスフィルタに関するものである。

【0002】現在、バンドパスフィルタは、Q値が数百と高いSAW（表面弾性波）フィルタ、及びQ値が数十から数百の誘電体フィルタが主流である。これら2つのフィルタは適用周波数帯域が数百MHzから数GHzの周波数帯域で効果的であり、高Qな為に、周波数のバンド幅の狭い、立ち上がりの鋭い透過周波数帯域を得ることができる。

【0003】反面、不得手な領域は、数10MHzの低周波数帯域であり、広い透過周波数帯域幅を得ることと、トランスペアレンスタイプでは挿入損失が大きいこと、更に弾性表面波フィルタの特徴として表面波の波長がGHz帯の高周波に比較して一桁長い為、本質的に小型化が困難であること、である。

【0004】更に形状は、使用される周波数帯域にも依るが、SAWフィルタが3.8mm×3.8mm×2～3mm厚み程度の小型で薄いSMDパッケージが可能なものに対して、焼結で作製する誘電体フィルタはその本質的な特性から3～4mm程度の厚みが必要である。

【0005】次に、素子の作製方法は、SAWフィルタが誘電体セラミックスの上に半導体と同じ技術でA1の櫛状電極を配置し、その表面状態の保護と、弾性表面波の伝搬を阻害しないために、金属又はセラミックス製のカバーが必要である。誘電体フィルタはセラミックス共振器とL、Cチップ素子からなり、ガラエポ基板上に実装配置される。

【0006】それに対して、本LCバンドパスフィルタに用いる巻き線薄膜インダクタは、基板であるガラス、セラミックス又はSi等の上にスパッタ法又はメッキ法で銅コイルを形成し、金属ターゲット及び絶縁性ターゲットからのスパッタリング法による磁性薄膜形成、更にフォトリソを用いた露光による数μmのレジストパターン形成後、磁性層とか電極導体を成膜し、その後リフトオフ法を用いて加工するという、半導体作製技術と同じ技術分野である。コイルの巻き線は巻き線治具を用いて自動巻き線し、その後導体巻き線を電極に半田付けしてインダクタを構成した後、チップキャパシタと一緒に実装技術を用いてバンドパスフィルタを組み立てている。

【0007】

【従来の技術】従来、インダクタンス素子（L素子）、キャパシタ素子（C素子）を用いてLCバンドパスフィルタを構成する場合、その電気回路の構成上、集中定数回路が設計されていた。そこに使われるインダクタは動作周波数帯域で高Q値50～100が要求され、現在は主に、数mmのフェライトに巻き線を施したバルクタイプ、フェライトの中にコイルを埋め込んだ2012、1608系の積層チップ素子、更に磁性体を使わない空心コイルが主であった。これらのインダクタは数十MHzから数百MHzの高周波帯域で用いられるが、インダクタンス値（以下、L値と呼ぶ。）が大きいと共振周波数が低くなり最大Q値を得る周波数帯も低く、L値が小さいと共振周波数及び最大Q値を有する周波数は高いという特徴があった。特に、空心周波数はGHzに近い周波数帯では高Q値を示すが、100MHz前後の周波数帯域では高Qは得られない。

【0008】次に、キャパシタは主にSMD部品であるチップキャパシタ素子が使われ、その厚みは1608タイプは0.8mm厚み、1005タイプは0.5mm厚み、0603タイプは0.3mm厚みである。これらのチップキャパシタは効率が数100と高く、全数選別によりキャパシタンス特性は目標規格に入れることができる。

【0009】

【発明が解決しようとする課題】以上のように、従来のLCバンドパスフィルタはインダクタに種々の問題があった。つまり、インダクタは駆動周波数が数百MHzから数GHz帯では有効なQ値が得られず、SAWフィルタとか誘電体フィルタと比較すると、挿入損失を小さくするとか、帯域幅を狭くするという点で劣っていた。更に、高周波化による小型化が進むにも関わらず、インダクタ形状が大きいため、回路自体の厚みが薄くならず、デバイス形状も数mm角に収める程度には小さくならなかった。

【0010】更に、チップL、C素子点数が多くなると、価格も低コストが期待できず、面積も広くなり、他素子との競争力がない。それ故、以上の問題点から最近のSMD部品に集中定数タイプのLCバンドパスフィルタが多く使われることはなかった。

【0011】次に、従来、薄膜磁性体を用いたインダクタが使われなかった理由について述べる。その第1の理由としてQ値が低いということが挙げられる。軟磁性体は以下の数1、数2に示される数式で表され、Q値は ω ($=2\pi f$: f は周波数)とL及び μ' に比例し、R及び μ'' に反比例する。

【0012】

【数1】

$$Q = \frac{\mu'}{\mu''}$$

【0013】

【数2】

$$Q = \frac{\omega L}{R}$$

【0014】磁性体の損失は、磁気スピンの才差運動により決まり、本質的にスピンの動きが損失になる。その為、Q値の向上はRの低減に掛かっているが、コイルの中に磁性体を挿入してインダクタンスを得るため、磁性体の損失(鉄損)とコイルの銅損(直流損失と交流損失)を低減しなくてはならない。これまで得られたQ値は最大でも20前後であった。

【0015】これに対し、本願発明は巻き線薄膜インダクタのQ値が50程度まで増加できたことに着目して新たに生まれた応用に関するものである。即ち、これまでのQ=20では開発できなかった応用分野であり、そこに新規な部分がある。

【0016】ここで、40MHz程度で薄膜巻き線インダクタのQ=50を得る為には、磁性体の損失を低減し、コイルに起因する直流及び交流銅損を低減することが必要である。交流損失の低減は、(1)磁性体の場合は、多層膜の絶縁層を一部厚くする複合多層化により、又(2)Cuコイル導体の場合は、導体の厚みを増やすことで直流抵抗を低減し、又(3)導体の巻き密度を緩

くする、いわゆるコイルの巻き方を疎巻きにすることでコイル間の相互作用による交流損失を低減することで、交流損失が低減され、40MHzでの全損失の低減が可能となり、Q=50が得られる。

【0017】次に、SAWフィルタについての問題点を述べる。SAWフィルタは弾性表面波の本質として高周波数帯域で効率が数百と大きく、バンド幅が狭く、挿入損失の小さなバンドパスフィルタを構成することができる。更に、高周波帯では小型化が進み、3mm角と小さいSMDタイプのバンドパスフィルタが開発されている。しかしながら、SAWフィルタにも問題がある。それは、高効率に起因して、広帯域な通過帯域を有するバンドパスフィルタ、及び通過帯域から減衰域まである傾きを持った特性(ナイキスト特性)、更に通過帯域から外れた減衰域での減衰量を大きくとる、などの種々の必要特性をすべて完全には達成できない点である。つまり、十分な減衰量を確保するにはSAWフィルタ素子を二重に重ねて用いるため、通過帯域の挿入損失が大幅に悪化するとか、ナイキスト特性がギザギザな周波数特性になるなど、1つの特性を達成しても他の特性を満足できないということがあげられる。即ち、SAWフィルタでも達成できないフィルタ特性がある。

【0018】そこで、本発明は、上記したSAWフィルタが不得手とする特性を得ることができるインダクタ及びキャパシタを用いたLCフィルタを提供することを目的とする。

【0019】

【課題を解決するための手段】上記目的達成のためには薄膜巻き線インダクタの開発が条件である。即ち、基板上に薄膜磁心を形成し、それを細かく切り離し、巻き線を施すことで薄膜巻き線インダクタを形成する際、そのQ値が50以上となるようにコイル断面積と薄膜磁心の断面積の比を5倍から500倍とし、動作周波数帯域を10MHzから500MHzとしている。尚、この薄膜インダクタは磁性層の削除によるレーザートリミングでインダクタンス値の微調整が可能である。

【0020】このようなインダクタは磁心にフェライトを用いた積層チップインダクタではできなかったことであり、薄膜巻き線インダクタで初めて可能となった。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について説明する。最初に、本発明に係るバンドパスフィルタに用いられる薄膜巻き線インダクタの構成について図1を参照して説明する。図1に示すように、薄膜磁性体2はガラス基板3の上に成膜され、小さく切断した後、薄膜磁性体2が成膜されたガラス基板3に導体巻き線(銅コイル)4が巻かれる。この銅コイル4は0.05mmφから0.2mmφの丸線、又は、渦電流の低減のため0.02mm厚から0.05mm厚の平板導体を用いる。巻き線密度は密巻き構造よりもむしろ導体直径の1

から2本程度位の間隔を開いて離して巻いた方がコイル導体間の相互作用による交流損失が少なくなる。

【0022】薄膜巻き線インダクタを用いる長所は磁性層の厚みバラツキコントロールができるため、インダクタンス値の素子間精度が良好な点にある。更に薄膜巻き線インダクタは磁性層が基板表面にあるために実装後のトリミングが可能である。

【0023】次に、上記した薄膜巻き線インダクタを用いてなるバンドパスフィルタの構成について図2を参照して説明する。図2は薄膜巻き線インダクタを用いたバンドパスフィルタの構成を示す図である。ガラスセラミックス多層基板10の中に1005系または0603系のチップキャパシタ11が実装されている。ガラスセラミックス多層基板10へのチップキャパシタ11の実装は、半田ペーストを塗った後、リフロー炉等で昇温してキャパシタ11を接合して行われる。その後、薄膜巻き線インダクタ1をガラスセラミックス多層基板10上に実装して接合する。

【0024】ガラスセラミックス多層基板10、チップキャパシタ11、及び薄膜巻き線インダクタ1からなるバンドパスフィルタは、SAWフィルタに比較して厚み寸法が薄くできるという特徴がある。即ち、薄膜巻き線インダクタ1の厚みは0.5~0.7mmであり、ガラスセラミックス基板の厚みは1mm以内にできるので、全厚みが2mm以内に構成でき、他のバンドパスフィルタと比較して薄くできる。

【0025】図1に示したような薄膜巻き線インダクタを用いて、図2のようなバンドパスフィルタを構成する。例えば図6のような等価回路をL、C素子で構成する場合、基板にガラスセラミックス基板を用い、ガラス基板の中にチップキャパシタを実装し、ガラス基板の上に薄膜巻き線インダクタを実装する。

【0026】薄膜インダクタはそのインダクタンス値の調整を磁性層のトリミングで値調整できるという長所がある。フェライトの積層インダクタではインダクタンス値のトリミングは構造上難しい。それ故、バンドパスフィルタのようなL、C値のバラツキの少なさが求められる素子では、組み立ててからのトリミングによる値の微調整が必須であり、薄膜巻き線インダクタのようなインダクタンス値の調整可能な素子はLCバンドパスフィルタには是非とも求められるものである。

【0027】次に、薄膜巻き線インダクタと導体コイルの関係について説明する。インダクタのQ値を50以上得るためには磁性体のQ値と導体コイルのQ値に相関がある。すなわち、インダクタの $Q_L=50$ を得るためには、空心の $Q_0=20$ とした際、材料の Q_m と材料に起因するインダクタンス L_m と空心のインダクタンス L_0 の間には、 $k(=L_m/L_0)$ 値が大きいほど Q_m は小さくて済むという以下の数3に示すような関係がある。

【0028】

【数3】

$$Q_m = \frac{k}{(1+k) \frac{1}{Q_L} - \frac{1}{Q_0}}$$

【0029】即ち、材料の Q_m 値は容易に変更できない材料定数であり、 k 値即ち L_m は大きい方が $Q_L=50$ を得やすい、つまり材料に起因するインダクタンスは大きい必要がある。

【0030】次に、材料の Q_m と材料に起因する損失 R_m と空心の損失 R_0 の間には、 $k'(=R_m/R_0)$ 値の大きい程 Q_m は小さくて済むという以下の数4に示すような関係がある。即ち、材料の Q_m が材料定数である値を示すとすると、 k' 値は大きい方が、つまり $R_m(=\omega L_m/Q_m)$ が大きい程(L_m の大きい程)材料の Q_m は小さくて済む。

【0031】

【数4】

$$Q_m = \frac{Q_L(1+k') - Q_0}{k'}$$

【0032】以上のことから、薄膜磁心インダクタを構成する磁心とコイルの形状には制約が生じる。尚、本発明では、コイルの断面積と薄膜磁心の断面積の比を5倍から500倍に設定することが条件である。このコイルの断面積と薄膜磁心の断面積の比を5倍から500倍に設定しなければならない理由は後述することとする。

【0033】次に、コイルの断面積と薄膜磁性体の断面積の比とQ値の関係について述べる。図3はコイルと磁心の断面積を比較した図である。この例のように、本実施例に係る薄膜磁性体2の断面積は $300\mu m \times 15\mu m$ であり、コイルの断面積は導体中心を計算すると $600\mu m \times 600\mu m$ である。したがって、コイルの断面積と薄膜磁性体の断面積の比はこの例の場合は80倍となり、図3の場合はQ値が50得られている。

【0034】図4は薄膜磁性体を導体コイルが包んだ薄膜スパイラルインダクタの構成を示した図である。薄膜磁性体12の断面積は $300\mu m \times 15\mu m$ で、銅コイル14の断面積は導体中心を計算すると $400\mu m \times 50\mu m$ である。銅コイル14の断面積と薄膜磁性体の断面積の比は、本実施例の場合は4.44倍となる。図4の場合はQ値が20程度である。このように、断面積比が5以下では薄膜インダクタのQ値は50を得られない。

【0035】一方、図5に示すように、断面積 $15\mu m \times 300\mu m$ の薄膜磁性体22と断面積 $1500\mu m \times 1500\mu m$ の導体コイル(導体巻き線)24の断面積を比較すると、その断面積比は500倍となり、形状が大きくなり薄膜コイルインダクタとしてメリットが少なくなる。

【0036】次に、図2に示したバンドパスフィルタを構成する薄膜インダクタにおいて、得られた特性について説明する。最初に、薄膜巻き線インダクタを用いた際の、インダクタのQ値を20、30、50と変えた際のバンドパスフィルタ特性について図7を参照して述べる。図7は、薄膜巻き線インダクタを用いた際の、インダクタのQ値を20、30、50と変えた際のバンドパスフィルタ特性変化を示した図である。これによれば、インダクタのQ値が向上することにより、挿入損失が小さくなっている。それ故、インダクタのQ値改善が大切であることがわかる。

【0037】次に、図2に示した薄膜巻き線インダクタを用いてなるバンドパスフィルタのQ値52と40の場合のバンドパスフィルタ特性について図8を参照して述べる。図8において、コイルの断面積と薄膜磁心の断面積の比を50とし、500 μ m厚みで450 μ m幅の基板に成膜し巻き線を施したとき、インダクタのQ値は52となり、良好なバンドパスフィルタ特性を得ている。動作周波数は150MHz帯域である。

【0038】図8において、コイルの断面積と薄膜磁心の断面積の比を40とし、500 μ m厚みで450 μ m幅の基板に成膜し巻き線を施したとき、インダクタのQ値は40となった。したがって、Q値40と低いためにバンドパスフィルタ特性は挿入損失が悪いということになる。

【0039】又、バンドパス特性の微調整は、あらかじめ薄膜巻き線インダクタを200～300℃で数分間熱を加えて安定化処理した後、磁性層をレーザービーム等で削除することによりL値の数%減少のトリミング処理を行うことができる。このL値の数%減少のトリミング処理によって、インダクタンス値の精度向上と値微調整が可能となる。

【0040】繰り返す述べますが、本発明の成立要件を簡単にまとめると、第1に、薄膜巻き線インダクタのQ値が50以上となるようにコイル断面積と薄膜磁心の断面積の比を5倍から500倍とすることであり、第2に、薄膜巻き線インダクタ構造を用いたバンドパスフィルタにおいて、その動作周波数帯域が10MHzから500MHzであることである。

【0041】以上の説明は薄膜磁性体が成膜されたガラス基板に銅コイルが巻かれて構成されたバンドパスフィルタについての説明であるが、例えば、図4に示すような薄膜磁性体を導体コイルが包んで構成される薄膜スパイラルインダクタでも後述の効果と実質的に同じ効果が得られる。

【0042】

【発明の効果】本発明によれば、薄膜磁性体に巻き線を施してバンドパスフィルタを構成しているため、磁心を挿入するコイルのQ値が大きくなる。

【0043】又、本発明によれば、コイルの巻き線は自動巻き線機を使い低コストにできる。

【0044】又、本発明によれば、磁性層の削除によるレーザートリミングでインダクタンス値の微調整が可能となる。

【図面の簡単な説明】

【図1】本発明に使用される薄膜巻き線インダクタの構成を示した図である。

【図2】図1の薄膜巻き線インダクタを用いたバンドパスフィルタの構成を示した図である。

【図3】図1のA-A'線断面図である。

【図4】薄膜スパイラルインダクタの構成を示した図である。

【図5】薄膜磁性体とコイルの構成を示した図である。

【図6】LCバンドパスフィルタの等価回路の一実施の形態を示した図である。

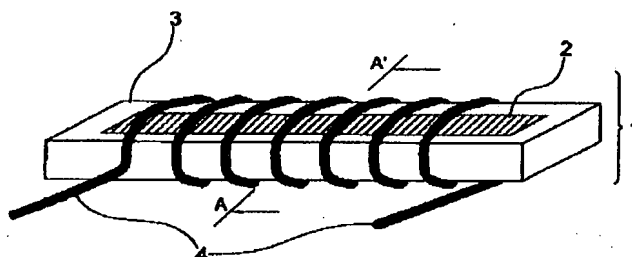
【図7】薄膜巻き線インダクタを用いたバンドパスフィルタのQ値による特性変化を示した図である。

【図8】薄膜巻き線インダクタを用いたバンドパスフィルタのQ値52と40の場合のバンドパスフィルタ特性を示した図である。

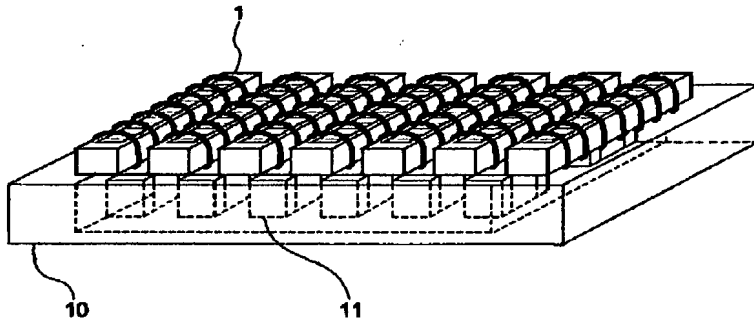
【符号の説明】

- 1 薄膜巻き線インダクタ
- 2, 12, 22 薄膜磁性体（薄膜磁心）
- 3 ガラス基板
- 4, 14, 24 導体巻き線（銅コイル）
- 10 ガラスセラミックス多層基板
- 11 チップキャパシタ

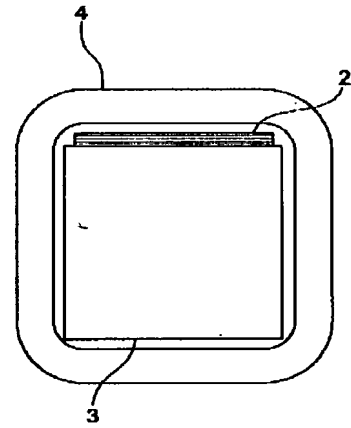
【図1】



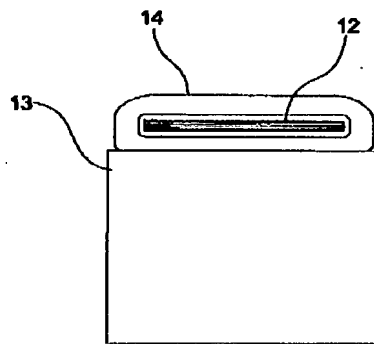
【図2】



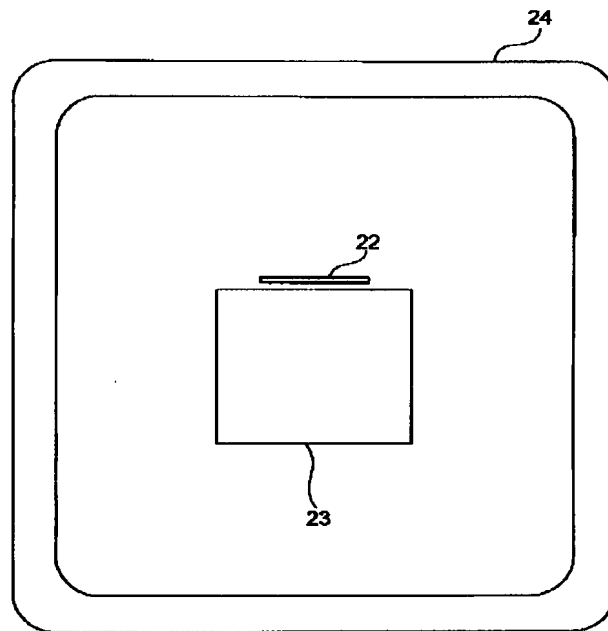
【図3】



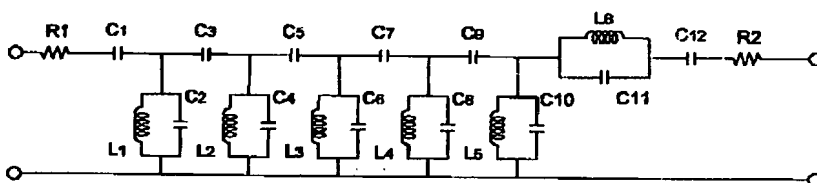
【図4】



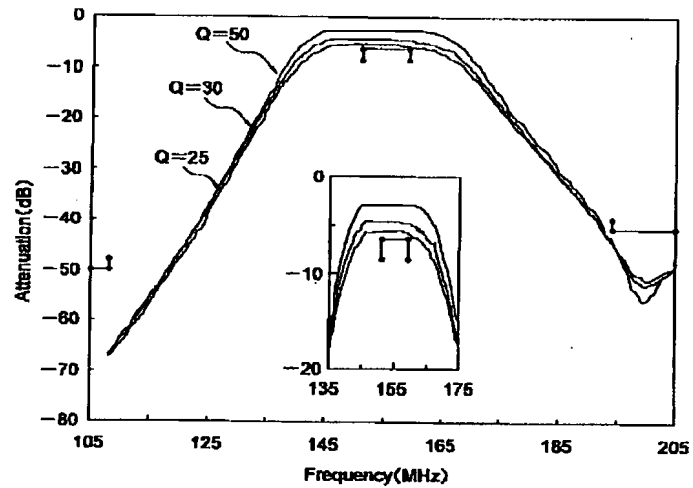
【図5】



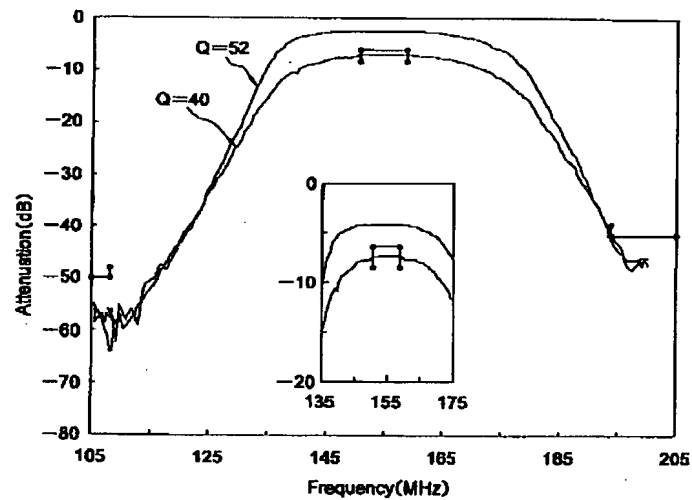
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 矢野 健
宮城県仙台市太白区郡山六丁目7番1号
株式会社トーキン内

Fターム(参考) 5E070 AA05 AB03 AB05 AB10 BA20
DB02 DB06 DB08
5E082 AA01 BB01 BC40 DD07 FG26
5J024 AA02 BA04 BA18 DA03 DA26
DA32 DA34 EA03 KA02